

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-107203

(43)Date of publication of application : 22.04.1997

(51)Int.Cl.

H01P 1/15
H03K 17/693
H04B 1/44

(21)Application number : 07-261357

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 09.10.1995

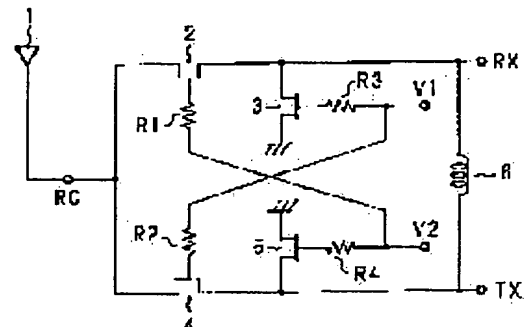
(72)Inventor : UDA NAONORI
HIRAI TOSHIKAZU
HONDA KEIICHI
SAWAI TETSUO
HARADA YASOO

(54) SWITCHING ELEMENT AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a high isolation characteristic with a small-scale circuit constitution by providing an inductor forming a resonance circuit on the outside of a transmission line.

SOLUTION: A first transmission line between an input/output terminal RC and a reception terminal RX through which a weak signal inputted from an antenna 1 is transmitted to an amplifier and a second transmission line between a transmission terminal TX and the input/output terminal RC through which a transmission signal from the amplifier is transmitted to the antenna 1 exist. The first transmission line is provided with FETs 2 and 3, and the second transmission line is provided with FETs 4 and 5. An inductor 6 to constitute the resonance circuit is provided between the reception terminal RX and the transmission terminal TX on the outside of first and second transmission lines like a bridge between first and second transmission lines. Thus, a high isolation characteristic is obtained without degrading the insertion loss by the small-scale circuit constitution.



LEGAL STATUS

[Date of request for examination] 01.12.2000

[Date of sending the examiner's decision of rejection] 12.11.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-107203

(43) 公開日 平成9年(1997)4月22日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 P 1/15			H 0 1 P 1/15	
H 0 3 K 17/693		9184-5K	H 0 3 K 17/693	A
H 0 4 B 1/44			H 0 4 B 1/44	

審査請求 未請求 請求項の数7 O L (全9頁)

(21) 出願番号 特願平7-261357

(22) 出願日 平成7年(1995)10月9日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 宇田 尚典

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 平井 利和

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 本多 圭一

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74) 代理人 弁理士 河野 登夫

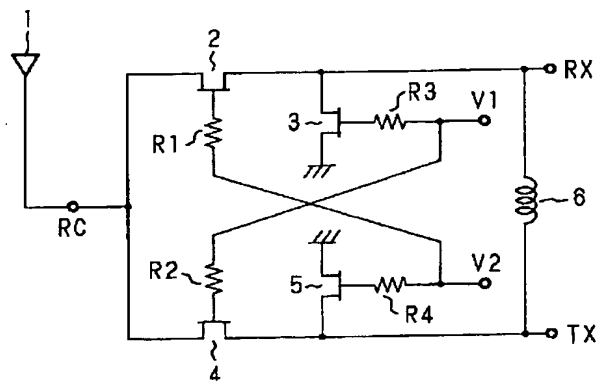
最終頁に続く

(54) 【発明の名称】 スイッチング素子及び半導体装置

(57) 【要約】

【課題】 SPDTスイッチング素子において、所望の周波数での高いアイソレーションを実現できない。

【解決手段】 入出力端子RCから受信端子RXに信号を伝送する第1伝送経路と、送信端子TXから入出力端子RCに信号を伝送する第2伝送経路との何れにも組み込まれることなく、受信端子RXと送信端子TXとの間に、共振回路を構成するためのインダクタ6を設ける。



【特許請求の範囲】

【請求項1】 第1端子、第2端子間の第1の伝送経路と、第3端子、前記第1端子間の第2の伝送経路とを切り換えるスイッチング素子において、前記第2端子と前記第3端子との間に設けたインダクタを備えることを特徴とするスイッチング素子。

【請求項2】 アンテナにて受信された受信信号を入出力端子を介して受信端子に伝送する第1の伝送経路と、送信端子からの送信信号を前記入出力端子を介して前記アンテナに伝送する第2の伝送経路とを切り換えるスイッチング素子において、前記受信端子と前記送信端子との間に設けたインダクタを備えることを特徴とするスイッチング素子。

【請求項3】 前記第2、第3端子間より前記第1、第3端子間のアイソレーションが高くなるように、前記インダクタの大きさを設定してあることを特徴とする請求項1記載のスイッチング素子。

【請求項4】 前記インダクタはチップインダクタであることを特徴とする請求項1、2または3記載のスイッチング素子。

【請求項5】 複数のFETを有することを特徴とする請求項1、2、3または4記載のスイッチング素子。

【請求項6】 第1端子、第2端子間にあってFETを有する第1の伝送経路と、第3端子、前記第1端子間にあってFETを有する第2の伝送経路とを切り換えるスイッチング素子において、前記第2端子と前記第3端子との間に設けたインダクタを備え、オフである前記第1の伝送経路とオンである前記第2の伝送経路と前記インダクタ、または、オンである前記第1の伝送経路とオフである前記第2の伝送経路と前記インダクタとにより共振作用を示すように構成したことを特徴とするスイッチング素子。

【請求項7】 第1端子、第2端子間の第1の伝送経路と、第3端子、前記第1端子間の第2の伝送経路とを切り換えるチップスイッチング素子と、前記第2端子と前記第3端子との間に接続したチップインダクタとをプリント基板上に実装した構成を有することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、信号を伝送する複数の伝送経路に対して伝送の切り換えを行うスイッチング素子、及び、そのスイッチング素子を実装した半導体装置に関する。

【0002】

【従来の技術】 携帯電話、自動車電話等の移動体通信における送受信の切り換えはアンテナスイッチを用いて行う。アンテナにて受信された微弱な信号を伝送する一系統の伝送経路と、送信用の中程度のレベルの信号をアンテナに伝送する他系統の伝送経路とを切り換えるための

スイッチング素子として、複数のFETにて構成されているFETスイッチング素子が従来から一般的に使用されている。

【0003】 図14は、従来のFETスイッチング素子の構成を示す回路図である。入出力端子RCから入力される高周波信号は、FET51を介して受信端子RXへ出力される。受信端子RXとグランドとの間にFET53が介装されている。送信端子TXから入力される高周波信号は、FET52を介して入出力端子RCへ出力される。送信端子TXとグランドとの間にFET54が介装されている。FET51のゲートは抵抗R1を介し、FET54のゲートは抵抗R4を介して、夫々制御用の電圧端子V2に接続されている。FET52のゲートは抵抗R2を介し、FET53のゲートは抵抗R3を介して、夫々制御用の電圧端子V1に接続されている。

【0004】 複数のFETを用いるこのような構成のSPDT (Single Pole Dual Through) スwitchング素子において、例えばアンテナから入出力端子RCに高周波信号が入力された場合に、制御用の電圧端子V1、V2に夫々0V、-3Vを与える。FET51、54はオン、FET52、53はオフとなり、入出力端子RCに入力された高周波信号は受信端子RXへ伝送される。一方、送信端子TXに高周波信号が入力された場合に、制御用の電圧端子V1、V2に夫々-3V、0Vを与える。FET52、53はオン、FET51、54はオフとなり、送信端子TXに入力された高周波信号は入出力端子RCへ伝送される。

【0005】

【発明が解決しようとする課題】 以上のようなスイッチング素子にあっては、一般的に、周波数が高くなるにつれてアイソレーション特性が悪くなってしまい、特にミリ波帯域では十分なアイソレーション特性を得ることが困難である。従って、使用する高周波信号の所望の帯域において高いアイソレーション特性を得るための様々な改良技術、特に共振作用を利用して高アイソレーション化を図る技術が従来から提案されている。例えば、1993年電子情報通信学会春季大会でのC-86「LC共振切り替えによる低電圧駆動低歪T/RスイッチMMIC」、1994年電子情報通信学会秋季大会でのC-70「ミリ波MMIC FETスイッチの高アイソレーション化の検討」にその技術が示されている。

【0006】 前者の技術は、オン状態のFETを用いてオフ状態を実現する図15に示すようなLC共振切替回路を、前述した図14のFET51とFET54とに使用する。図15に示す回路では、FETがオンのときに端子①-②間が開放（並列共振）となり、FETがオフのときに端子①-②間が導通（直列共振）となる。

【0007】 後者の技術は、図16に示すように、3個のFETを直列-並列-直列に接続したスイッチ回路に伝送線路を付加して共振を起こすようにした回路構成であ

り、スイッチ回路がオフ状態のときに一種の共振回路が形成されることを利用している。なお、共振時の周波数は、伝送線路の特性インピーダンスと線路長とを適当に選択することにより、所望の値に設定できる。

【0008】上述した2例の従来技術では、伝送経路内に共振回路を形成した構成であるので、夫々の伝送経路毎にインダクタまたは伝送線路を設ける必要があり、全体として回路規模が大きくなるという課題がある。

【0009】本発明は斯かる事情に鑑みてなされたものであり、共振回路を形成するためのインダクタを伝送経路外に設けた構成にすることにより、規模が小さい回路構成にて高いアイソレーション特性を得ることができるスイッチング素子、及び、そのスイッチング素子を実装した半導体装置を提供することを目的とする。

【0010】本発明の他の目的は、挿入損失を劣化させることなくアイソレーションを高くすることができるスイッチング素子、及び、そのスイッチング素子を実装した半導体装置を提供することにある。

【0011】本発明の更に他の目的は、周波数帯域の違いにより、各端子間のアイソレーションの大小関係を変えることができるスイッチング素子、及び、そのスイッチング素子を実装した半導体装置を提供することにある。

【0012】

【課題を解決するための手段】本願の請求項1に係るスイッチング素子は、第1端子、第2端子間の第1の伝送経路と、第3端子、前記第1端子間の第2の伝送経路とを切り換えるスイッチング素子において、前記第2端子と前記第3端子との間に設けたインダクタを備えることを特徴とする。

【0013】本願の請求項2に係るスイッチング素子は、アンテナにて受信された受信信号を入出力端子を介して受信端子に伝送する第1の伝送経路と、送信端子からの送信信号を前記入出力端子を介して前記アンテナに伝送する第2の伝送経路とを切り換えるスイッチング素子において、前記受信端子と前記送信端子との間に設けたインダクタを備えることを特徴とする。

【0014】本願の請求項3に係るスイッチング素子は、請求項1または2において、前記第2端子（受信端子）、第3端子（送信端子）間より前記第1端子（入出力端子）、第3端子（送信端子）間のアイソレーションが高くなるように、前記インダクタの大きさを設定してあることを特徴とする。

【0015】本願の請求項4に係るスイッチング素子は、請求項1、2または3において、前記インダクタはチップインダクタであることを特徴とする。

【0016】本願の請求項5に係るスイッチング素子は、請求項1、2、3または4において、複数のFETを有することを特徴とする。

【0017】本願の請求項6に係るスイッチング素子

は、第1端子、第2端子間にあつてFETを有する第1の伝送経路と、第3端子、前記第1端子間にあつてFETを有する第2の伝送経路とを切り換えるスイッチング素子において、前記第2端子と前記第3端子との間に設けたインダクタを備え、オフである前記第1の伝送経路とオンである前記第2の伝送経路と前記インダクタ、または、オンである前記第1の伝送経路とオフである前記第2の伝送経路と前記インダクタとにより共振作用を示すように構成したことを特徴とする。

【0018】本願の請求項7に係る半導体装置は、第1端子、第2端子間の第1の伝送経路と、第3端子、前記第1端子間の第2の伝送経路とを切り換えるチップスイッチング素子と、前記第2端子と前記第3端子との間に接続したチップインダクタとをプリント基板上に実装した構成を有することを特徴とする。

【0019】

【発明の実施の形態】以下、本発明をその実施の形態を示す図面に基づいて具体的に説明する。

【0020】図1は、本発明のスイッチング素子を用いた携帯電話用のアンテナスイッチの構成を示す回路図である。このスイッチング素子には、アンテナ1から入力される微弱な信号を増幅器（図示せず）に伝送するための、入出力端子RC、受信端子RX間の第1伝送経路と、増幅器（図示せず）からの送信信号をアンテナ1に伝送するための、送信端子TX、入出力端子RC間の第2伝送経路とが存在する。第1伝送経路にはFET2とFET3とが設けられ、第2伝送経路にはFET4とFET5とが設けられている。

【0021】第1伝送経路のFET2は入出力端子RC、受信端子RX間に介装され、FET3は受信端子RXとグランドとの間に介装されている。FET2のゲートは抵抗R1を介して、制御用の電圧端子V2に接続され、FET3のゲートは抵抗R3を介して、制御用の電圧端子V1に接続されている。一方、第2伝送経路のFET4は送信端子TX、入出力端子RC間に介装され、FET5は送信端子TXとグランドとの間に介装されている。FET4のゲートは抵抗R2を介して、制御用の電圧端子V1に接続され、FET5のゲートは抵抗R4を介して、制御用の電圧端子V2に接続されている。また、受信端子RXと送信端子TXとの間には、第1、第2伝送経路の何れの伝送経路外であつて、第1、第2伝送経路にまたがる態様にて、本発明の特徴部分であるインダクタ6が設けられている。

【0022】次に、動作について説明する。スイッチング素子を構成するこれらの各FETは、制御用の電圧端子V1、V2への印加ゲート電圧によりオン、オフが制御される。電圧端子V1に0Vの電圧が印加されている場合には、電圧端子V2には-3Vの電圧が印加され、これとは逆に、電圧端子V1に-3Vの電圧が印加されている場合には、電圧端子V2には0Vの電圧が印加さ

れるようになっている。そして、 -3V の電圧がゲートに印加されると各FETはオンとなり、 0V の電圧がゲートに印加されると各FETはオフとなる。

【0023】アンテナ1が信号を受信した場合には、電圧端子V1に 0V の電圧を印加し、電圧端子V2に -3V の電圧を印加する。そうすると、FET2, 5はオン、FET3, 4はオフとなる。従って、アンテナ1にて受信された信号は、入出力端子RCを介して第1伝送経路に入って、第2伝送経路には入らない。そして、FET3はオフ状態であるので、その受信信号は受信端子RXに達する。ここで、FET5をオンとしている理由は、第2伝送経路に漏れて入った信号をグラウンドに流して送信端子TXに達することを防止するためである。

【0024】アンテナ1に送信用の信号を送送する場合には、電圧端子V1に -3V の電圧を印加し、電圧端子V2に 0V の電圧を印加して、FET3, 4をオン、FET2, 5をオフとする。送信端子TXに入力された送信信号は、FET2, 5がオフ状態であるので、第2伝送経路、入出力端子RCを経てアンテナ1に確実に供給される。ここで、FET3をオンとしている理由は、第1伝送経路に漏れて入った信号をグラウンドに流して受信端子RXに達することを防止するためである。

【0025】次に、インダクタ6を設けた本発明のスイッチング素子の回路特性の詳細について説明する。

【0026】図2は、前述した図1の簡略化した等価回路（第1伝送経路がオン、第2伝送経路がオフ）を示す。第1伝送経路は信号が導通するので抵抗 R_{on} で表現し、第2伝送経路は信号が遮断されるのでコンデンサ C_{off} で表現する。ここで、図2における抵抗 R_{on} は一般的に数 Ω 程度と小さな値であるので、入出力端子RCと受信端子RXとはほとんど等電位となる。よって、図2の回路を更に図3に示すような回路に変形できる。図3において、インダクタLとコンデンサ C_{off} との共振作用によって、その共振条件を満足する周波数にて、入出力端子RC、送信端子TX間、及び、受信端子RX、送信端子TX間における絶縁度が向上する。

【0027】次に、本発明のスイッチング素子をプリント基板に実装する場合について説明する。図4は実装する基板11の平面図、図5は基板11にチップ状のスイッチング素子20及びチップインダクタ（インダクタ素子）21を実装した状態を示す図である。図4に示すように、基板11の上には、金膜からなる導体パターンが点在して形成されている。この導体パターンは、基板11の中央に存在するT字状のグラウンドパターン12と、このT字の柄の部分を含んで対称に基板11の辺縁まで延在する2個のRFパターン13a, 13bと、このT字の柄と反対方向にT字の傘から少し離れた位置から基板11の辺縁まで延在するRFパターン14と、このRFパターン14を含んで対称に設けられた2個の直流電源用のDCパターン15a, 15bとから構成される。そして、グラウンドパターン12が形成

されているT字型領域には、数個のビアホール16が形成されている。各ビアホール16の内壁及び基板11の下面にもグラウンド用の金膜が形成されており、グラウンドパターン12をなす金膜と基板11の下面の金膜とは、各ビアホール16内壁の金膜を介して電氣的に接続されている。

【0028】以上のような構成のプリント基板11上に、前述したような回路構成を有して樹脂にて封止されてパッケージ化されたチップ状のスイッチング素子20、及び、同様にパッケージ化されたインダクタ6となるチップインダクタ21が、半田等により実装されている（図5参照）。スイッチング素子20は、電氣的接続を取るための6本のピンを有しており、この6本のピンは、1本のグラウンドピン22と3本のRFピン23a, 23b, 23cと2本のDCピン24a, 24bとからなる。グラウンドピン22はグラウンドパターン12に接続されている。3本のRFピンのうちの1本のRFピン23aはRFパターン14に接続され、残りの2本のRFピン23b, 23cはRFパターン13a, 13bにそれぞれ接続されている。そして、RFパターン14が入出力端子RCに相当し、RFパターン13a, 13bがそれぞれ送信端子TX、受信端子RXに相当する。2本のDCピン24a, 24bは基板11のDCパターン15a, 15bにそれぞれ接続されている。

【0029】更に、チップインダクタ21は、その両端子をRFパターン13a, 13bにそれぞれ接続させた態様でプリント基板11に実装されている。図6に示すように、チップインダクタ21を付加しても、1個のスイッチング素子20に対して1個のチップインダクタ21を付加するだけで良いので、実装面積はほとんど変わらず、全体の大きさにあまり変化はなく、回路規模の大型化の虞はない。

【0030】本発明に使用するインダクタに必要なインダクタンスは 22nH 程度である。これはインダクタ成分としては大きな値であり、スイッチング素子に組み込ませて同一のチップ上に作成することは困難である。よって、インダクタもチップ状にして、チップ状のスイッチング素子に外付けする構成とする。

【0031】次に、インダクタ6の配設の有無における特性比較について説明する。図6はインダクタ6を設けない従来例（図14参照）における特性、図7はインダクタ6を設けた本発明例（図1参照）における特性を示す。図6、図7において、実線aは入出力端子RC、送信端子TX間のアイソレーション、破線bは受信端子RX、送信端子TX間のアイソレーション、一点鎖線cは挿入損失をそれぞれ表している。図7に示す本発明例では、 1.6GHz 付近でアイソレーション特性が改善されていることがわかる。また、このときの挿入損失は劣化していない。

【0032】SPDTスイッチング素子の従来例と本発明例とにおける各端子間のアイソレーション特性の差異について、図8～図12を参照して以下に詳述する。

【0033】図8(a)は、最も簡単なスイッチ回路の第2端子と第3端子との間にインダクタを取り付けた本発明の回路構成を示し、図8(b)は、その第1FETがオン、第2FETがオフの場合の等価回路を示す。スイッチ等の測定系は通常50Ω系を用いる。つまりこれは、測定装置、ケーブルはインピーダンスが50Ωであるものを使用するということである。例えば図8(b)において、第1端子、第2端子、第3端子を、それぞれ上述の入出力端子RC、受信端子RX、送信端子TXと設定してスイッチを設計する場合、アンテナ、受信部、送信部は何れも50Ωのインピーダンスに置き換えて考えることができる。

【0034】第2、第3端子間のアイソレーションは、図8(c)のように第1端子に50Ωが接続された場合の第2、第3端子間の絶縁度である。この場合の回路は図8(e)のように変形できる。また、第1、第3端子間のアイソレーションは、図8(d)のように第2端子に50Ωが接続された場合の第1、第3端子間の絶縁度である。この場合の回路は図8(f)のように変形できる。図8(e)、(f)において、コイルLとコンデンサCoffとによって共振回路を構成でき、図8(e)の場合では第2、第3端子を、図8(f)の場合では第1、第3端子を分離できる。

【0035】図8(e)、図8(f)を比較すると、コイルLとコンデンサCoffとの位置が異なっており、この位置の違いがアイソレーション特性に反映される。図9は、 $R_{on}=7.5\Omega$ 、 $C_{off}=0.174pF$ 、 $L=22nH$ とした場合の第2、第3端子間のアイソレーション(図中○-○のe)と第1、第3端子間のアイソレーション(図中□-□のf)との計算例を示している。図9に示すように、共振点を分けることができる。

【0036】この場合、図8(f)の回路における共振点f1は図8(e)の回路における共振点e1より高くなる。従って高周波側では、第1、第3端子間のアイソレーションを第2、第3端子間のそれより高くできる。このように、周波数帯域の違いにより、第1、第3端子間のアイソレーションと第2、第3端子間のアイソレーションとの大小関係を変えることが可能である。このことは、図7に示す本発明例のアイソレーション特性のグラフに見られている。

【0037】一方、第2、第3端子間にインダクタを接続しない場合(従来例)を考えると、第1、第3端子間はCoffだけで信号を減衰させるが、第2、第3端子間では、CoffとRonとによって信号を減衰させるので、Ronがある分だけ、第2、第3端子間の方が必ずアイソレーション特性が良くなる。このことは、図6の従来例のアイソレーション特性のグラフに見られている。

【0038】次に、アイソレーション特性を求めるための計算について示す。図8(e)、(f)の回路に信号源(内部抵抗50Ω)と負荷(抵抗50Ω)とが接続された

場合の回路を図10(a)、(b)に示す。図10(a)、(b)のA-B-Cで構成する△形回路を、図11に示すようにして、Y形回路に変えた場合を図12に示す。ここで、図12におけるZa、Zb、Zcは以下のように表される。

$$Z_a = (Z_{ab} \cdot Z_{ca}) / (Z_{ab} + Z_{bc} + Z_{ca})$$

$$Z_b = (Z_{ab} \cdot Z_{bc}) / (Z_{ab} + Z_{bc} + Z_{ca})$$

$$Z_c = (Z_{ca} \cdot Z_{bc}) / (Z_{ab} + Z_{bc} + Z_{ca})$$

また、図8(e)の回路では、 $Z_{ab}=j\omega L$ 、 $Z_{ca}=R_{on}$ 、 $Z_{bc}=1/(j\omega C_{off})$ であり、図8(f)の回路では、 $Z_{ab}=1/(j\omega C_{off})$ 、 $Z_{ca}=R_{on}$ 、 $Z_{bc}=j\omega L$ である。

【0039】図12の回路における全体のインピーダンスZは、次のようになる。

$$Z = 100 + Z_a + Z_c - (50 + Z_c)^2 / (100 + Z_b + Z_c)$$

図8(e)の回路と図8(f)の回路とにおいて共振点が違ってくることは、上記計算で、最もZが大きくなる点異なることからわかる。

【0040】以上のように、従来例では端子間のアイソレーションの大小関係は、使用周波数とは無関係に常に一定であるが、本発明例ではその大小関係を、使用周波数に関連付けて変えることができる。よって、特に高いアイソレーションが要求される端子間にて高アイソレーションが得られるように周波数を設定できる等、本発明例に見られる上述したようなアイソレーション特性を有効に利用できる。以下、この適用例について説明する。

【0041】前述したようなアンテナスイッチに本発明のスイッチング素子を用いる場合(図1参照)、送信端子TX側(パワーアンプ側)の信号が受信端子RX側に漏れない必要がある。この場合、送信端子TX、受信端子RX間での高いアイソレーションが要求されるため、送信端子TX、受信端子RX間で最も高いアイソレーションが得られるようにインダクタ6を取り付ける。

【0042】図13は、本発明のスイッチング素子を用いたデュアルシンセサイザの構成を示す。この構成は、PHSシステムの親機または基地局に採用される構成である。2つの第1、第2シンセサイザ(発振器)31、32の発振周波数がわずかに違っており、両者をスイッチで切り替えるシステムである。この場合、2つの第1、第2シンセサイザ(発振器)31、32間で高アイソレーションを得る必要がある。このシステムの第2～第5スイッチ34～37は、前述の図8で示した第1、第3端子間に相当するアイソレーションが高いことが要求され、第1スイッチ33では第2、第3端子間のアイソレーションが高いことが要求される。この場合、各スイッチ33～37において、それぞれに適したインダクタンスを有するインダクタを設けることにより、全体として取り付けない場合よりも、高いアイソレーションが得られる。

【0043】なお、携帯電話等におけるSPDTスイッ

チに使用される素子としてはMESFETが望ましい。この理由について以下に説明する。ダイオードを用いたスイッチでは、オン状態において順方向電流を流すためにバイアス電流が必要であり、低消費電力化の流れに適応できない。バイポーラトランジスタを用いたスイッチでは、ベース電流によってコレクタ電流を制御するので、切り換えを制御する電流（ベース電流）が信号電流に影響を与えて好ましくない。MOSFETを用いたスイッチでは、携帯電話で使用するGHz帯域での動作を行えない。これらに対して、MESFETを用いたス

【0044】

【発明の効果】以上のように本発明のスイッチング素子では、信号の伝送経路外にインダクタを設けて共振回路を構成するようにしたので、規模が小さい回路構成にて、挿入損失を劣化させることなく高いアイソレーション特性を得ることができる。

【図面の簡単な説明】

【図1】本発明のスイッチング素子を用いたアンテナスイッチの構成を示す回路図である。

【図2】図1の簡略化した等価回路図である。

【図3】図2の回路を変形した回路図である。

【図4】本発明のスイッチング素子を実装する基板を示す平面図である。

【図5】本発明のスイッチング素子を基板に実装した状態を示す図である。

【図6】従来例のスイッチング素子における特性（アイ

ソレーション、挿入損失）を示すグラフである。

【図7】本発明のスイッチング素子における特性（アイソレーション、挿入損失）を示すグラフである。

【図8】各端子間のアイソレーションの大小関係を説明するための回路図である。

【図9】各端子間のアイソレーションの計算結果を示すグラフである。

【図10】図8の回路に信号源と負荷とを接続した回路図である。

【図11】△形回路とY形回路との関連を示す回路図である。

【図12】図10の回路を変形した回路図である。

【図13】本発明のスイッチング素子を用いたローカルスイッチの構成図である。

【図14】従来のFETスイッチング素子の構成を示す回路図である。

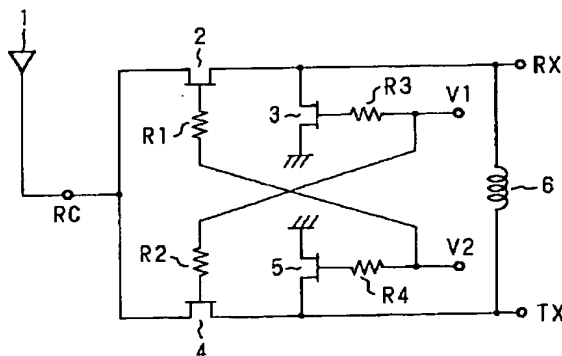
【図15】共振作用を利用して高アイソレーション化を図る従来技術の一例を示す図である。

【図16】共振作用を利用して高アイソレーション化を図る従来技術の他の例を示す図である。

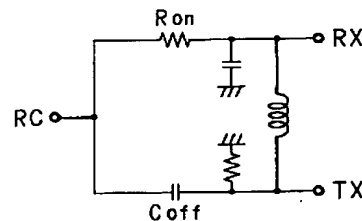
【符号の説明】

- 1 アンテナ
- 2, 3, 4, 5 FET
- 6 インダクタ
- 11 基板
- 20 スwitching素子
- 21 チップインダクタ
- RC 入出力端子（第1端子）
- RX 受信端子（第2端子）
- TX 送信端子（第3端子）

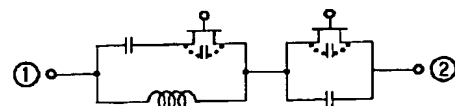
【図1】



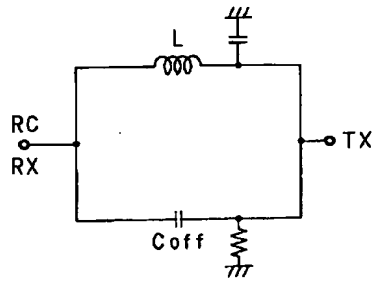
【図2】



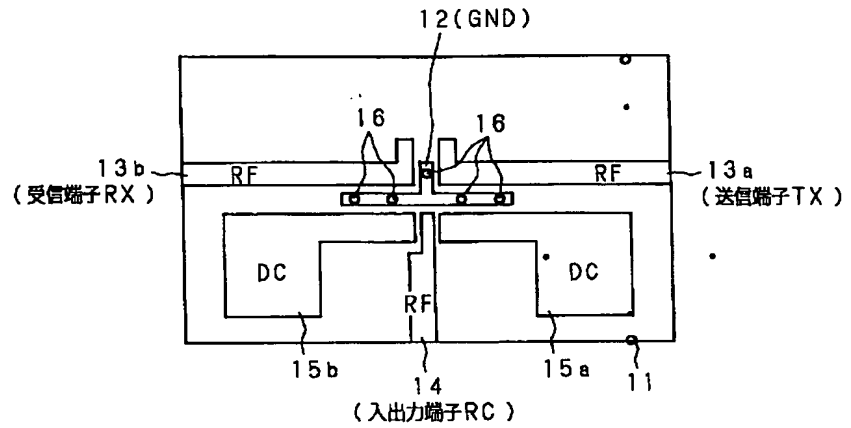
【図15】



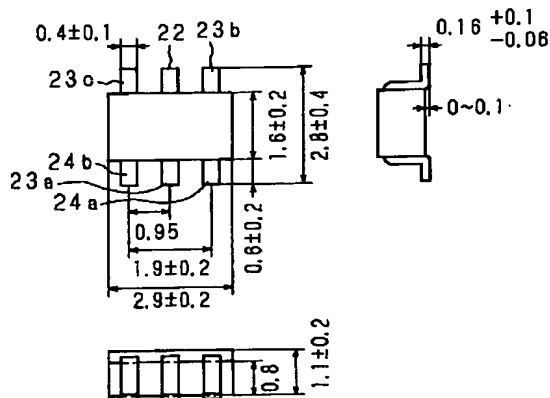
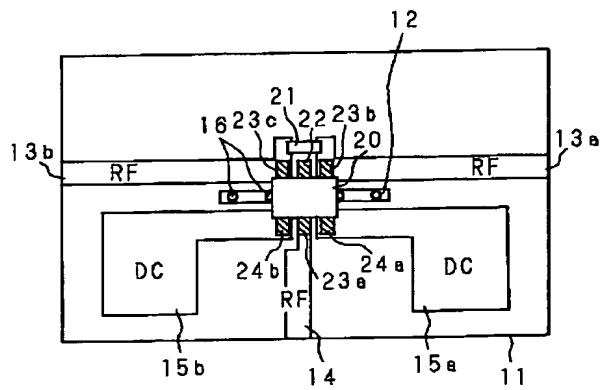
【図3】



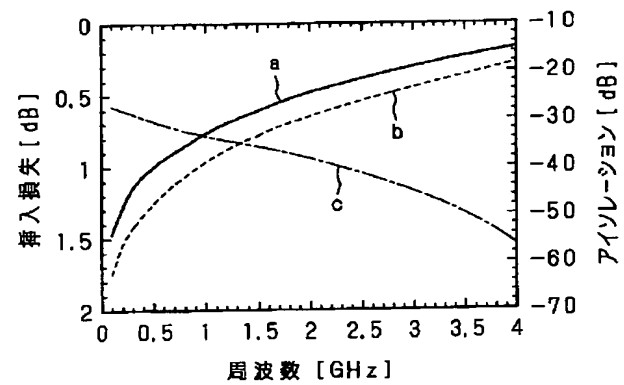
【図4】



【図5】

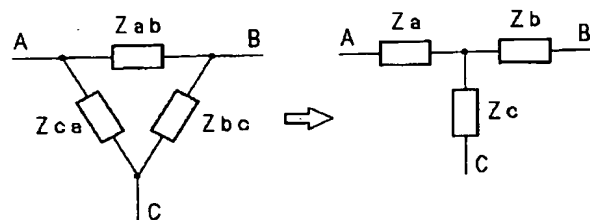


【図6】

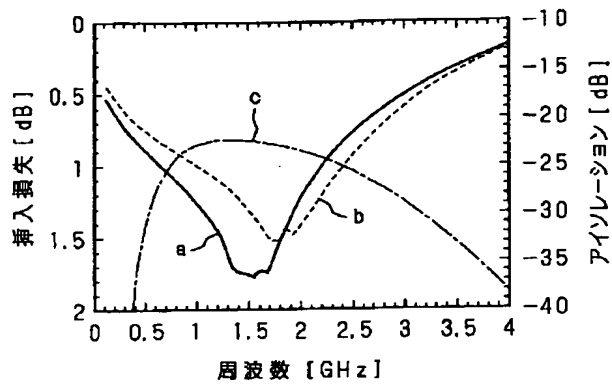


a: RC-TX間のアイソレーション
b: RX-TX間のアイソレーション
c: 挿入損失

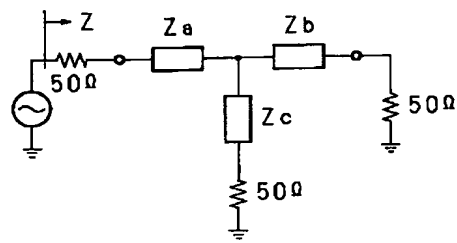
【図11】



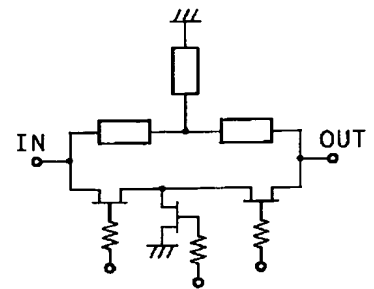
【図7】



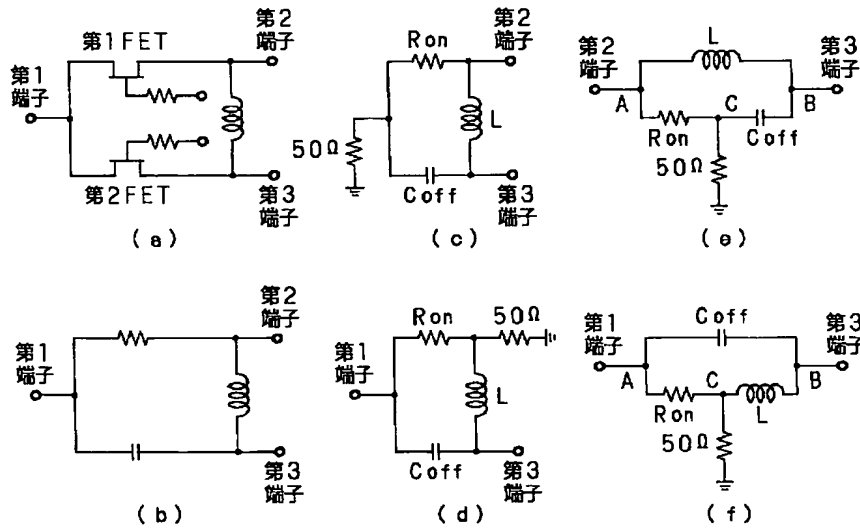
【図12】



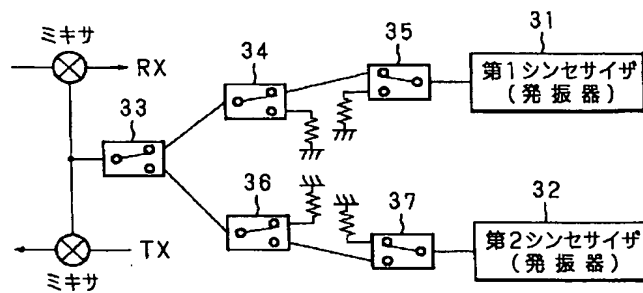
【図16】



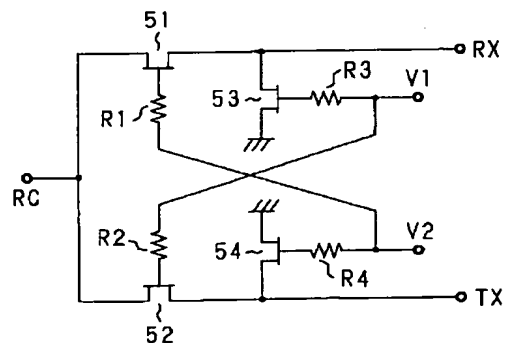
【図8】



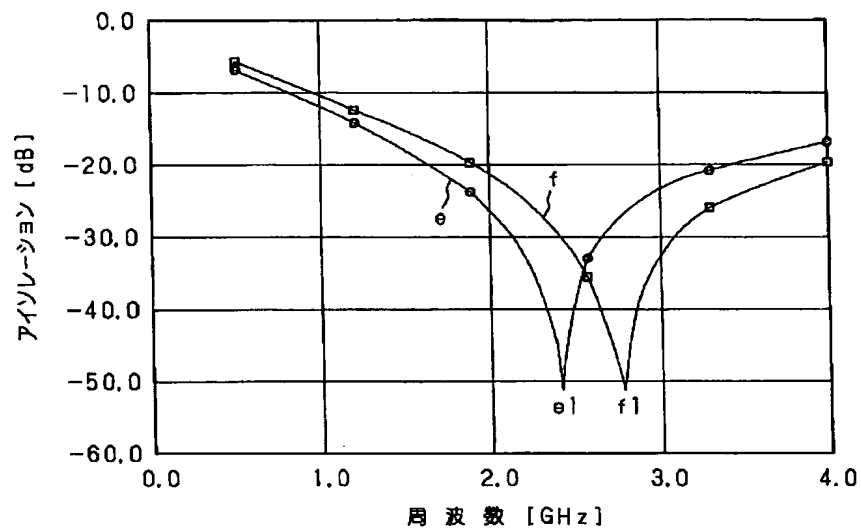
【図13】



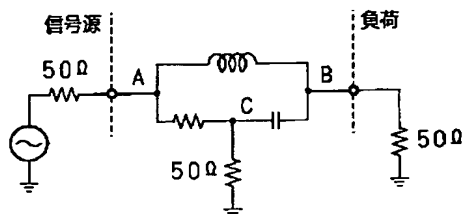
【図14】



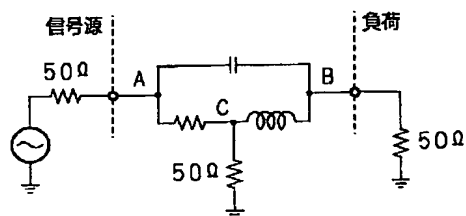
【図9】



【図10】



(a)



(b)

フロントページの続き

(72)発明者 澤井 徹郎
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 原田 八十雄
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内